

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-316068

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 J 3/07

8843-5K

H 0 4 L 12/48

8226-5K

25/30

8529-5K

H 0 4 L 11/ 20

Z

審査請求 未請求 請求項の数 2(全 7 頁)

(21)出願番号

特願平4-113517

(22)出願日

平成4年(1992)5月6日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 山本 明

福岡県福岡市博多区博多駅前三丁目22番8

号 富士通九州デジタル・テクノロジー株

式会社内

(72)発明者 有馬 幸作

福岡県福岡市博多区博多駅前三丁目22番8

号 富士通九州デジタル・テクノロジー株

式会社内

(74)代理人 弁理士 井桁 貞一

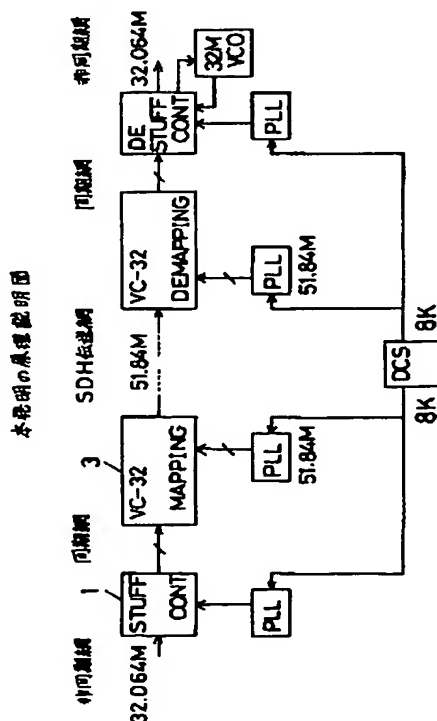
最終頁に続く

(54)【発明の名称】 非同期32Mb/s信号のSDH収容方式

(57)【要約】

【目的】 本発明は非同期32Mb/s信号のSDH収容方式に関し、処理速度を抑えて低消費電力動作を可能とし、デスタッフジッタ量を最小とし、さらにバッファメモリ容量を少なくしてハード規模及び伝送遅延を最小にすることを目的とする。

【構成】 スタッフ多重変換部1により、非同期32Mb/s信号をシリアル処理を用いて第2の速度に変換して同期化させ、マッピング部2により、前記同期化させた信号を分周してパラレル処理を行うとともにSTM-0フレームも分周しパラレル処理を行い、STM-0フレームにデータの配置を行う際、前記同期化させた信号をフレーム内に分散配置させることにより、既存網デジタル3次群信号を世界統一インタフェースであるSDHへ収容することを特徴とする。



【特許請求の範囲】

【請求項1】 スタッフ多重変換部(1)により、非同期32Mb/s信号をシリアル処理を用いて第2の速度に変換して同期化させ、

マッピング部(2)により、前記同期化させた信号を分周してパラレル処理を行うとともにSTM-0フレームも分周しパラレル処理を行い、

STM-0フレームにデータの配置を行う際、前記同期化させた信号をフレーム内に分散配置させることにより、既存網デジタル3次群信号を世界統一インタフェースであるSDHへ収容することを特徴とする非同期32Mb/s信号のSDH収容方式。

【請求項2】 スタッフ多重において、第2の速度が8KHz周期に基づく速度で32Mb/sより若干高い速度に変換されることを特徴とする請求項1記載の収容方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は既存の非同期32Mb/s信号をSDH(Synchronous Digital Hierarchy)伝送方式へ収容する収容方式に関する。近年、ISDN時代の進展に伴い、CCITT(国際電信電話顧問委員会)により世界統一的なネットワーク構築の基本となるSDH伝送方式が勧告されている。これに伴い、国内の既存網もSDHフレームへ収容して相互接続性を図ることが要求されている。しかしながら現状では、国内の既存網であるデジタル3次群信号のSDHフレームへの収容方式が標準化されていないため、如何にしてその既存の非同期32Mb/s信号をSDHフレームへ収容するかが検討されている。

【0002】

【従来の技術】一般的に、非同期32Mb/s信号をSDHフレームへ収容しようとした場合、以下の手法が考えられる。SDHの基本伝送単位は図5に示すSTM-0フレーム(51.84Mb/s)であり、網管理情報を伝達するためのSOH部及び、主信号を伝達するためのペイロード部(VC-32)にて構成されている。32Mb/s信号の収容可能な領域は、このペイロード部から、パス管理情報を伝達するためのPOH部および予め規定済みである固定スタッフ部を除く84列×9行(48.384Mb/s)の範囲内である。

【0003】即ち、この範囲内に如何に既存の32Mb/s信号を配置するかである。図6に具体的な構成図を示す。このような構成において32Mb/s信号をSTM-0フレームに直接配置しようとした場合、処理速度は52MHzと高速になり、CMOSレベルのゲートアレーでは動作させることが不可能となる。このため、高速動作を可能とするECL(Emitter-coupled logic)レベルのゲートアレーが使用されるが、その場合、消費電力が増大しこの種の伝送装置として適さない。

【0004】また処理速度を遅くする手段としてはデー

タのパラレル処理が考えられるが、非同期網の収容にて問題となるデスタッフジッタ量が、シリアル処理と比較した場合、8パラレルの場合では8倍発生してしまう。また、STM-0フレーム上への配置位置によってはバッファメモリ容量が増大しハード規模及び、伝送遅延も増大してしまう。

【0005】

【発明が解決しようとする課題】従って、上述したように従来検討されている方式では、伝送装置として消費電力、ジッタ量、ハード規模及び、伝送遅延が増大するといった諸問題があった。本発明は、以上の事情を考慮してなされたものであり、処理速度を抑えて低消費電力動作を可能とし、非同期網の収容にて問題となるデスタッフジッタ量を最小とし、さらに、バッファメモリ容量を少なくしてハード規模及び伝送遅延を最小とする非同期32Mb/s信号のSDH収容方式を提供する。

【0006】

【課題を解決するための手段】図1は、本発明の原理説明図である。同図において本発明は、スタッフ多重変換部1により、非同期32Mb/s信号をシリアル処理を用いて第2の速度に変換して同期化させ、マッピング部3により、前記同期化させた信号を分周してパラレル処理を行うとともにSTM-0フレームも分周しパラレル処理を行い、STM-0フレームにデータの配置を行う際、前記同期化させた信号をフレーム内に分散配置させることにより、既存網デジタル3次群信号を世界統一インタフェースであるSDHへ収容することを特徴とする非同期32Mb/s信号のSDH収容方式である。

【0007】すなわち、非同期32Mb/s信号をシリアル処理にて一旦、8KHz周期のある速度にスタッフ多重変換を行い同期化させ、その後、既に同期化した信号をパラレルにて処理を行いSTM-0フレームに分散的に配置を行うものである。

【0008】

【作用】本発明に従えば、スタッフ多重変換部1にて非同期32Mb/s信号をシリアル処理にて一旦、8KHz周期のある速度にスタッフ多重変換を行い同期化させ、その際シリアルにて処理を行っているため、スタッフビットも1ビットとなりデスタッフジッタ量も1UI(1ビット幅)と最小限に抑えることが可能となり、また処理速度もCMOSレベルのゲートアレーにて動作を満足することができ、低消費電力化も可能となる。

【0009】マッピング部3にて既に同期化してある信号を分周し、パラレル処理を行い、また同じようにSTM-0フレームも分周しパラレル処理を行う。これにより、処理速度は分周比に伴い低速動作となり、また既に同期化しているため、デスタッフジッタに関しても問題がない。

【0010】また、STM-0フレームに配置を行う際、同期化したある信号を極力分散させ配置することに

3

より、データ乗せ換えのために必要となるバッファメモリ容量を最小に抑えることが可能となり、それに伴いハード規模及び、伝送遅延も最小となる。

【0011】

【実施例】図2は本発明の一実施例であり、非同期32 Mb/s信号のSDH収容システム構成図を示している。図中1は既存網である32.064 Mb/s信号をSDH伝送網に同期化させ収容するためのスタッフ多重変換部であり、2は位相ロックループであり、SDH伝送網に同期させ生成した34.56 MHzの発振源である。3はSDH伝送網に既に同期化されている34.56 Mb/s信号をSDHフレームSTM-0へ配置を行い収容するマッピング部である。4は位相ロックループであり、51.84 MHzの発振源である。5は所要クロックを発生し、各位相ロックループ2、4に供給する網同期装置である。なお、6は受信側のデマッピング部であり、7はデスタップ変換部であり、8は電圧制御発振器である。

【0012】このような構成において、先ず第1の段階として、多重変換フレームに従い非同期32.064 Mb

$$234\text{bits} \times 34.56\text{MHz} / 252\text{bits} = 32.064\text{MHz}$$

$$34.56\text{MHz} / 252\text{bits}$$

となり、5回に1回の割合で“V”の位置が情報ビットIあるいは余剰ビットRになったりすることになる。

【0015】上記多重変換では、シリアルにて処理を行っているため、スタッフビットも1ビットとなりデスタップジッタ量も1UI（1ビット幅）と最小限に抑えることが可能であり、また処理速度も最高34.56 MHzというように、CMOSレベルのゲートアレーにて動作が満足でき、かつ低消費電力化が図れる。

【0016】次に第2の段階として、図4に示すマッピング構成に従い、34.56 Mb/sをさらに51.84 Mb/sに変換する。すなわち、SDH伝送網に同期化した34.56 Mb/s信号を5分周し、また同じようにSTM-0フレームも7分周し、パラレルにて配置を行う。これにより、処理速度は6.9 MHzと低速であり、既に第1の段階にてSDH伝送網に同期化しているため、スタッフ操作の必要性がなく、デスタップジッタの問題も解消することができる。

【0017】また、STM-0フレームに34.56 Mb/s信号を配置する際、1ブロック内に“R, I, I, R, I, I, I”というように余剰ビットRが割り当てられ、このビット列96ブロック分でフレームの1列を構成している。すなわち、配置を行う際に、極力分散させて配置させているため、データ乗せ換えのために必要となるバッファメモリ容量を最小に抑えることが可能となり、それに伴いハード規模及び、伝送遅延も最小とすることができる。

4

/s信号をSDH伝送網に同期させ生成した34.56 MHzの周波数にスタッフ多重変換を行い、独自フレームである34.56 Mb/s信号を生成する。

【0013】32.064 Mb/sから34.56 Mb/sへの多重変換フレームの構成を図3を用いて説明する。図3において、Gフレームはデジタル1次群をビット単位で多重化したGパルスを含む42ディジットからなり、6Gフレームでフレームを構成している。Gパルス列は、フレーム同期パルス(F)、スタッフ指定パルス(S)および固定スタッフパルス(R)からなり、スタッフ時にはスタッフ指定パルスが“1, 1, 1”であり、非スタッフ時には“0, 0, 0”である。なお、パルスRは余剰ビットである。また、図中“V”はスタッフパルス挿入位置を示しており、Gパルス列の次のビットが情報ビットIあるいは余剰ビットRのいずれかになる構成である。

【0014】このようなフレーム構成におけるスタッフ率は、

$$= 1/5$$

【0018】

【発明の効果】以上説明したように、本発明によれば処理速度を抑えることにより低消費電力化が図れ、非同期網の収容において問題となるデスタップジッタ量を最小とすることが可能となり、また、バッファメモリ容量を少なくすることによりハード規模及び伝送遅延が最小となる効果を奏し、したがって伝送装置の性能向上に寄与するところが大きい。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の一実施例を示すシステム構成図である。

【図3】実施例の多重変換フレーム構成図である。

【図4】実施例によるSTM-0へのマッピング構成図である。

【図5】従来例のCCITT勧告STM-0フレーム構成図である。

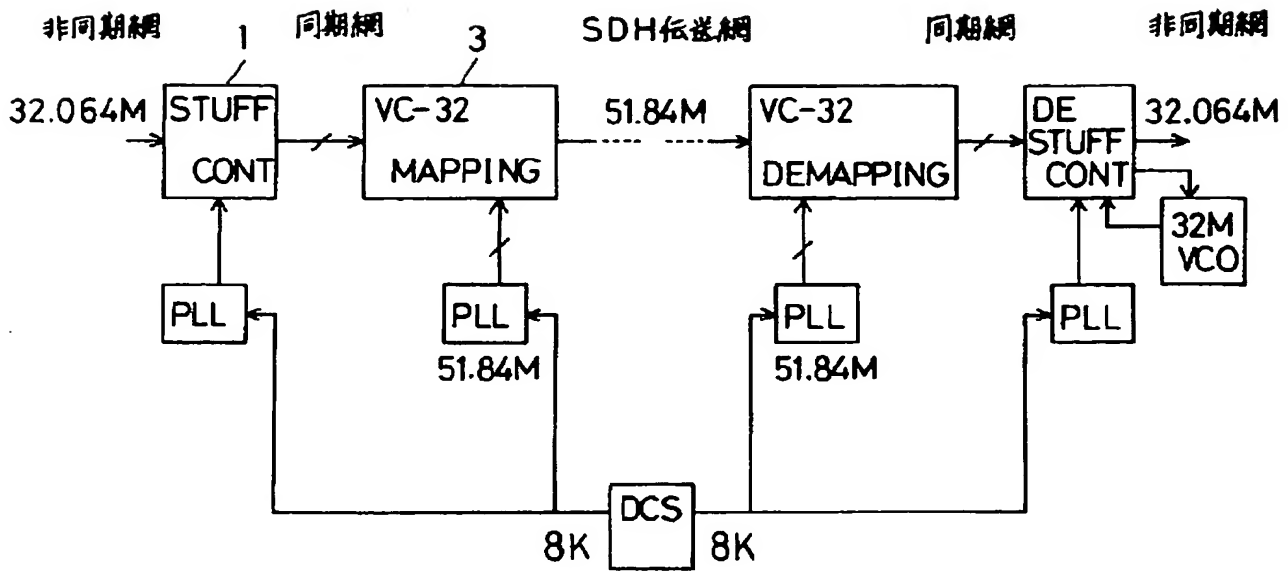
【図6】従来例の一般的なシステム構成図である。

【符号の説明】

- 1 スタッフ多重変換部
- 2 位相ロックループ
- 3 マッピング部
- 4 位相ロックループ
- 5 網同期装置
- 6 デマッピング部
- 7 デスタップ変換部

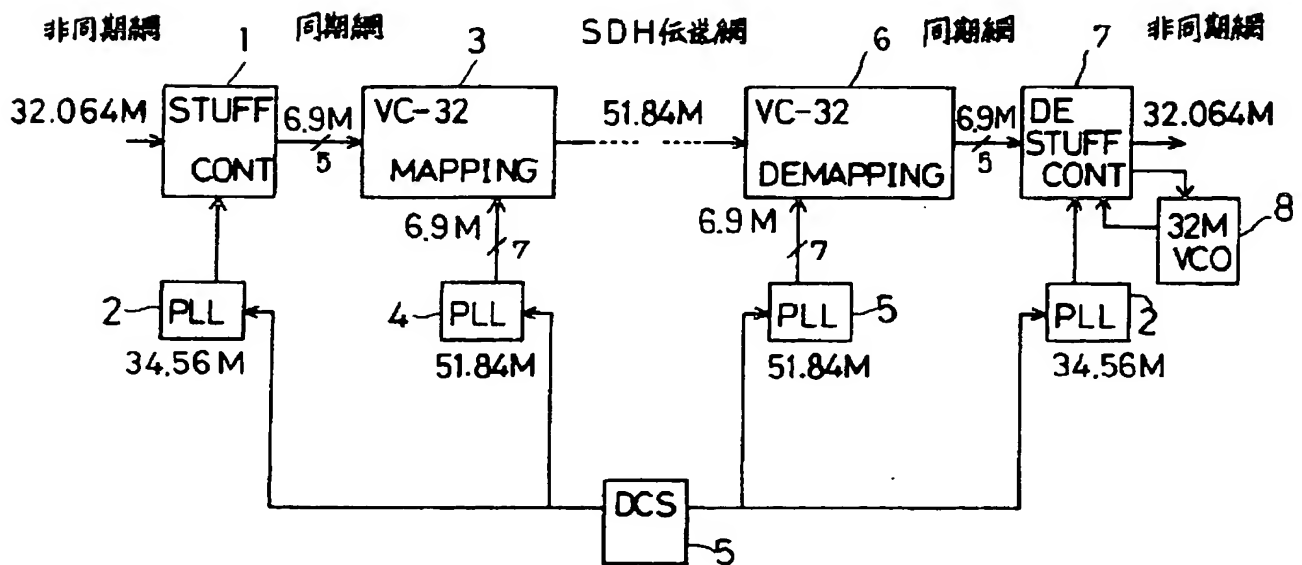
【図1】

本発明の原理説明図



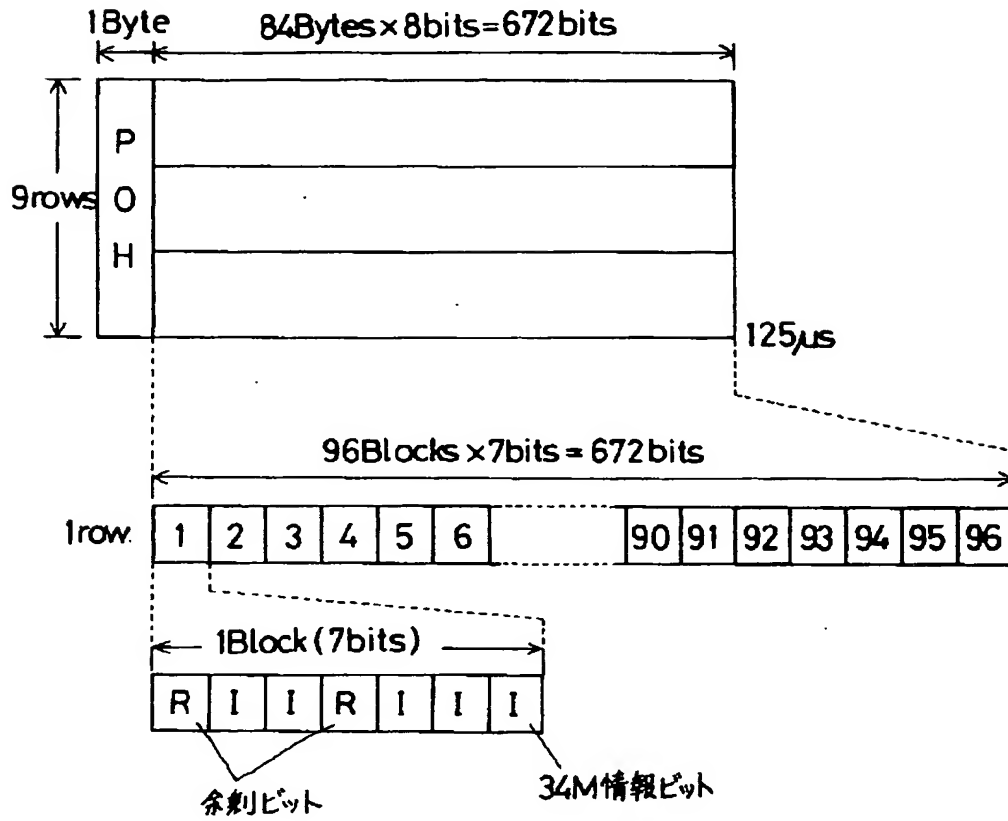
【図2】

本発明の一実施例を示すシステム構成図



【図4】

実施例によるSTM-0へのマッピング構成図
(34.56Mb/s → STM-0)



125 μs 当り

・ 34M 情報ビット数

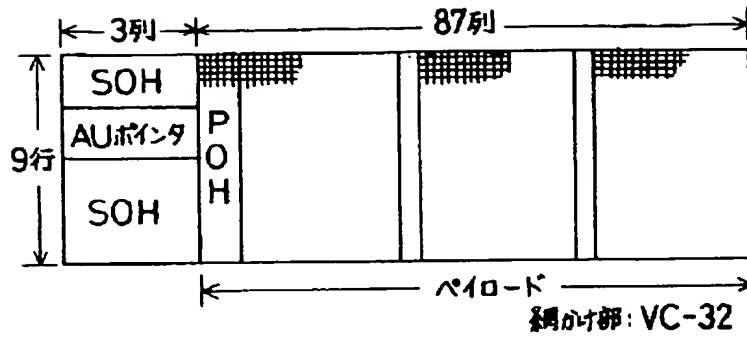
$$864 \text{ Blocks} \times 5 \text{ bits} = 4320 \text{ bits}$$

・ 余剰ビット数

$$864 \text{ Blocks} \times 2 \text{ bits} = 1728 \text{ bits}$$

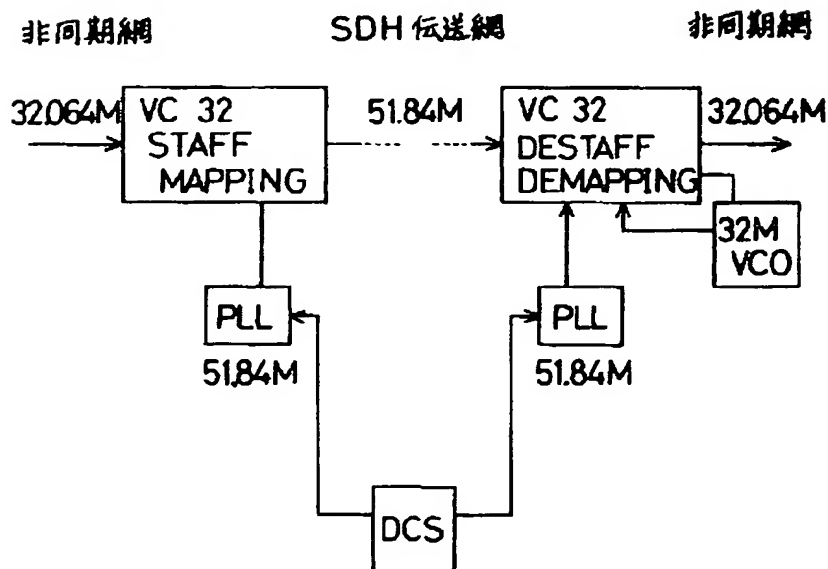
【図5】

従来例のSTM-0フレーム構成図



【図6】

従来例の一般的システム構成図



フロントページの続き

(72)発明者 藤川 俊二
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内

(72)発明者 福田 信夫
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内